

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359336

**(43)Date of publication of application : 13.12.2002**

(51)Int.Cl.

H01L 23/50

**(21)Application number : 2001-164793**

(71)Applicant : **SONY CORP**

(22)Date of filing : 31.05.2001

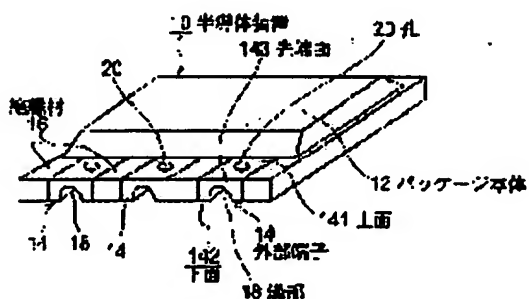
(72)Inventor : YOKOYAMA KATSUMI

**(54) SEMICONDUCTOR DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To sharply improve the bondability and reliability of solder at mounting on a board.

**SOLUTION:** In a face-mounting semiconductor device 10 which is equipped with a plurality of external terminals 14 projected in parallel from the package body 12, grooves 18 are provided at the downside 142 of the external terminals 14, and besides the external terminals 14 are provided with holes 20 leading to the groove 18 through the terminal from the topside 14 to the downside 142.



## LEGAL STATUS

**[Date of request for examination]**

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

**[Date of registration]**

**[Number of appeal against examiner's decision of rejection]**

**[Date of requesting appeal against examiner's decision of rejection]**

**[Date of extinction of right]**

(11)特許出願公開番号

特開2002-359336

(P2002-359336A)

(43)公開日 平成14年12月13日(2002.12.13)

(51) Int.Cl.:

**識別記号**

FI

テーマコード(参考)

H01L 23/50

H01L 23/50

**M 5 F 0 6 7**

審査請求 未請求 請求項の数2 OL (全 4 頁)

(21)出願番号

特種2001-164793(P2001-164793)

(22) 出願日

平成13年5月31日(2001.5.31)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 横山 克己

福岡県福岡市早良区百道浜2丁目3番2号

ソニーセミコンダクタ九州株式会社内

(74) 代理人 100089875

弁理士 野田 茂

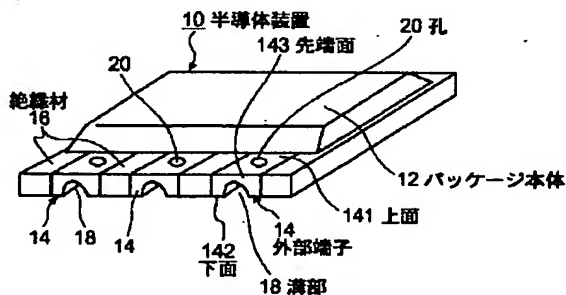
Fターム(参考) 5F067 AA13 AB04 BC07

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 基板実装時の半田の接合性及び信頼性を大幅に向上する。

【解決手段】 パッケージ本体１２から互いに平行に突設された複数の外部端子１４を備える面実装型の半導体装置１０において、外部端子１４の下面１４２に溝部１８を設け、かつ、外部端子１４には上面１４１から下面１４２に貫通して溝部１８に連通する孔２０を設ける構造にした。



## 【特許請求の範囲】

【請求項 1】 ICチップ等を密封状態に収容するパッケージ本体と、前記パッケージ本体から互いに平行に突設された複数の外部端子を備え、前記各外部端子間を前記パッケージ本体と一体の絶縁材により電気的に隔絶するとともに該外部端子の上面と下面及び先端面が露出されるように構成された半導体装置において、前記各外部端子の下面に該外部端子の突出方向に延在する溝部が設けられ、前記各外部端子には該外部端子の上面から下面に貫通して前記溝部に連通する少なくとも 1 つの孔が設けられている、ことを特徴とする半導体装置。

【請求項 2】 前記外部端子の上面及び下面を含む溝部の表面に半田メッキ層が施されていることを特徴とする請求項 1 記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、面実装型の半導体装置に関し、特に外部端子の半田接合部分のみがパッケージ本体の表面に露出するノンリードタイプの半導体装置を配線基板に実装する時、外部端子の半田による接合性を向上できるようにした半導体装置の改良に関するものである。

## 【0002】

【従来の技術】半導体装置の種類には、挿入型と面実装型があり、特に面実装型の半導体装置（ノンリードタイプの半導体装置）においては、これを配線基板に表面実装する場合、その外部端子と配線基板の基板端子部とが確実に接合されていることが重要である。

【0003】図 6 及び図 7 により従来の面実装型半導体装置について説明する。図 6 において、面実装型の半導体装置（ノンリードタイプの半導体装置）60 は、ICチップ等を樹脂モールドなどで密封状態に収容するパッケージ本体 62 と、このパッケージ本体 62 の相対向する両側面から水平、かつ平行に突出された複数の外部端子 64 を備え、そして、各外部端子 64 間はパッケージ本体 62 と一体の絶縁材 66 により電気的に隔絶され、各外部端子 64 の半田接合部分のみがパッケージ本体 62 の表面に露出する、いわゆるノンリードタイプに構成されている。また、各外部端子 64 の露出表面には、図 7 に示すように、半田メッキ層 68 が形成されている。

## 【0004】

【発明が解決しようとする課題】しかるに、近年の面実装型半導体装置では、小型化が進み、外部端子間のピッチも狭く、装置自体の厚さも薄くなってきている。さらに、半導体装置の小型化に伴い半導体装置の外部端子部に半田メッキされる面積も必然的に少なくなり、配線基板の基板端子部と半導体装置の外部端子部との半田の接合性が低下する問題が発生し易くなってきている。ま

た、配線基板の基板端子と半導体装置の外部端子部との接合状態が悪いと製品の製造過程で不良品となり、歩留りの低下や市場での不良につながり、製品の信頼性を損なうおそれがある。

【0005】ところで、上記のような従来の面実装型半導体装置 60 における外部端子 64 の両側面は、各外部端子 64 に介在した絶縁材 66 によって覆われているため、半田メッキ層 68 は外部端子 64 の上面と下面にしか施すことができない。なお、外部端子 64 の先端面 64A は、組立てのプロセス上、下地が露出している。したがって、半導体装置 60 の配線基板への実装に際して、外部端子 64 を配線基板の基板端子に半田接合しようとした場合、各外部端子 64 間には絶縁材 66 が介在され、この絶縁材 66 によって外部端子 64 の上下面に熔融半田の流れる通路がないため、基板端子上の熔融半田と直接接する外部端子 64 の下面は半田との濡れ性が良好なるが、外部端子 64 の上面は半田との濡れがほとんどない。その結果、半導体装置の配線基板への実装における半田接合不良が生じ易く、信頼性にかけるほか、不良品の発生率が上昇して製品の歩留りも低下するという問題があった。

【0006】本発明は、上述のような従来の問題を解決するためになされたもので、基板実装時の半田の接合性及び信頼性を大幅に向上できるようにした半導体装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記目的を達成するために本発明は、ICチップ等を密封状態に収容するパッケージ本体と、前記パッケージ本体から互いに平行に突設された複数の外部端子を備え、前記各外部端子間を前記パッケージ本体と一体の絶縁材により電気的に隔絶するとともに該外部端子の上面と下面及び先端面が露出されるように構成された半導体装置において、前記各外部端子の下面に該外部端子の突出方向に延在する溝部が設けられ、前記各外部端子には該外部端子の上面から下面に貫通して前記溝部に連通する少なくとも 1 つの孔が設けられていることを特徴とする。

【0008】本発明の半導体装置においては、半田による接合時に熔融された半田が外部端子の下面溝部から孔を通して外部端子の上面は流動する。これにより、外部端子の上下両面に対する半田の濡れ性を確保でき、基板実装時の半田の接合性及び信頼性を大幅に向上できる。

## 【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は本発明にかかる半導体装置の実施の形態を示す全体の斜視図、図 2 は本実施の形態における半導体装置の外部端子部分を拡大して示す斜視図、図 3 は図 2 の A-A 線に沿う断面図、図 4 は図 2 の B-B 線に沿う断面図、図 5 は本実施の形態における半導体装置の配線基板への半田接合状態を示

す説明図である。

【0010】図1において、10は面実装型の半導体装置であり、この半導体装置10は、ICチップ等を樹脂モールドなどで密封状態に収容するパッケージ本体12を備え、このパッケージ本体12の相対向する両側面には複数の外部端子14が所定の間隔をおいて水平に、かつ互いに平行に突設されている。前記各外部端子14間は、パッケージ本体12と一体の絶縁材16により電気的に隔絶されているとともに、この各外部端子14の上面141と下面142及び先端面143が露出されるように構成されている。

【0011】また、前記各外部端子14の下面142には、図2～図4に示すように、外部端子14の突出方向に延在する溝部18が設けられている。さらに、前記各外部端子14には、図2～図4に示すように、外部端子14の上面141から下面142に貫通して前記溝部18に連通する孔20が設けられている。なお、前記溝部18及び孔20の加工は、半導体装置を組み立てる際に行われる。

【0012】次に、上記のように構成された半導体装置を配線基板上に実装する場合について図5を参照して説明する。図5において、30は配線基板であり、この配線基板30の実装面には、半導体装置10の各外部端子14に対向して基板端子32が形成されている。また、この基板端子32の上面にはクリーム半田34が塗布されている。また、実装される半導体装置10の各外部端子14の上面141及び下面142を含む溝部18の表面には半田メッキ層22、24がそれぞれ施されている。

【0013】このような半導体装置10を配線基板30上に実装する場合は、クリーム半田34が塗布された各基板端子32に半導体装置10の各外部端子14が重ね合わさるようにして、半導体装置10を配線基板30上に仮止めし、この半導体装置10を配線基板30ごとリフロー炉内に入れる。この半導体装置10及び配線基板30がリフロー炉内を通過する間にクリーム半田34が溶融され、半田メッキ層22、24と融合される。この時、溶融されたクリーム半田34は、溝部18から孔20を通して外部端子14の上面141へ図5の矢印に示すように流動する。これにより、半田は外部端子14の下面142だけでなく上面141にも行きわたり、かつ孔20内に半田が流れ込むことで外部端子14に対しアンカー機能を発揮する。このため、半導体装置10の各外部端子14は配線基板30の各基板端子32に確実に接合されることになる。

【0014】上記のような本実施の形態によれば、外部端子14の下面142に溝部18を設け、かつ、外部端

子14に上面141から下面142に貫通して溝部18に連通する孔20を設ける構造にしたので、次に述べるような効果が得られる。

A) 半導体装置の基板実装時における半田の接合不良を大幅に低減でき、接合の信頼性を向上できるとともに、実装製品の歩留りを向上できる。

B) 半田の接合不良による手直し工数を低減できる。

C) 半田の接合性が向上することにより、基板実装時のリフロー温度を下げる事が可能になり、半導体装置のパッケージクラックの発生を低減できる。

D) 半導体装置の基板実装後における半田接合要因による経時変化が低減され、市場での不良発生を防止できる。

【0015】なお、上記の実施の形態では、外部端子14に形成される孔20が1個である場合について説明したが、本発明はこれに限定されず、孔20を複数設けてもよい。

【0016】

【発明の効果】以上のように、本発明の半導体装置によれば、外部端子の下面に溝部を設け、かつ、外部端子に上面から下面に貫通して溝部に連通する少なくとも1つの孔を設ける構造にしたので、半導体装置の基板実装時における半田の接合不良を大幅に低減できるとともに半田接合の信頼性を向上でき、実装製品の歩留りを向上できる。また、半田の接合性が向上することにより、基板実装時のリフロー温度を下げる事が可能になり、半導体装置のパッケージクラックの発生を低減できるという効果を有する。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の実施の形態を示す全体の斜視図である。

【図2】本実施の形態における半導体装置の外部端子部分を拡大して示す斜視図である。

【図3】図2のA-A線に沿う断面図である。

【図4】図2のB-B線に沿う断面図である。

【図5】本実施の形態における半導体装置の配線基板への半田接合状態を示す説明図である。

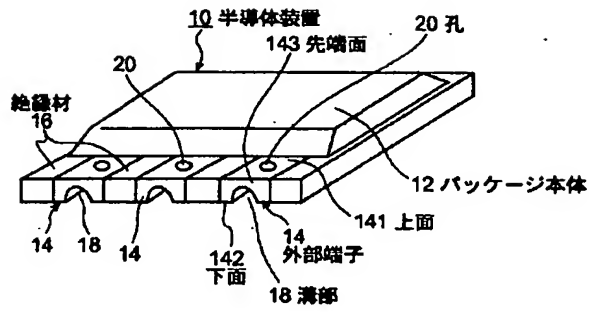
【図6】従来における半導体装置の斜視図である。

【図7】従来における半導体装置の外部端子部分を拡大して示す斜視図である。

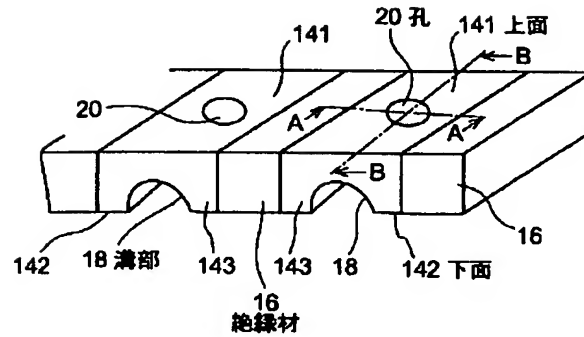
【符号の説明】

10……半導体装置、12……パッケージ本体、14……外部端子、16……絶縁材、141……上面、142……下面、143……先端面、18……溝部、20……孔、22、24……半田メッキ層、30……配線基板、32……基板端子。

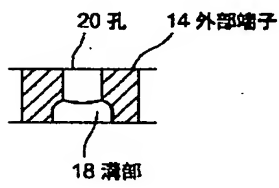
【図1】



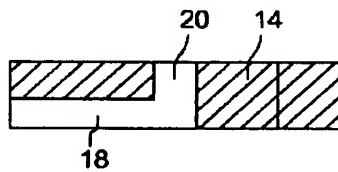
【図2】



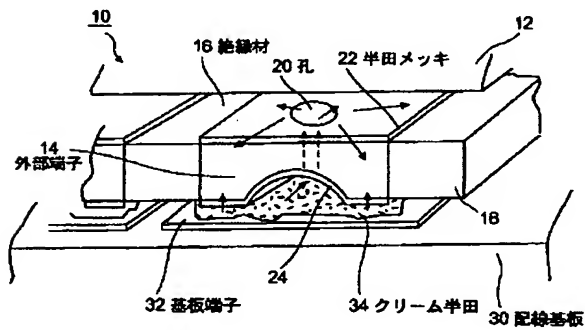
【図3】



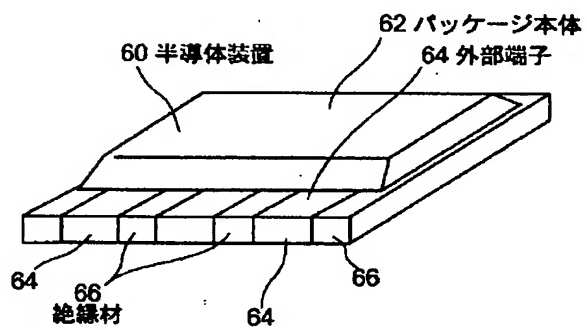
【図4】



【図5】



【図6】



【図7】

